IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Susumu IWAMOTO et al.

Serial No.: 10/683,868 Group Art Unit: 2811

Filed: October 10, 2003 Examiner:

For: SEMICONDUCTOR ELEMENT

Certificate of Mailing

I hereby certify that this paper is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria VA 22313-1450 on:

Date: 02/05/04

By: _____

Marc A. Rossi

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2002-298068 October10, 2002

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

02/05/04
Date

Marc A. Rossi
Registration No. 31,923

Attorney Docket: FUJI:271

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２００２年１０月１０日

出願番号
Application Number: 特願２００２－２９８０６８

[ST.10/C]: ［ＪＰ２００２－２９８０６８］

出願人
Applicant(s): 富士電機株式会社

２００３年　６月　５日

特許庁長官
Commissioner,
Japan Patent Office 太田信一郎

出証番号　出証特２００３－３０４３６５２

【書類名】　特許願
【整理番号】　02P00766
【提出日】　平成14年10月10日
【あて先】　特許庁長官殿
【国際特許分類】　H01L 29/78
【発明者】
【住所又は居所】　神奈川県川崎市川崎区田辺新田１番１号　富士電機株式会社内
【氏名】　岩本　進
【発明者】
【住所又は居所】　神奈川県川崎市川崎区田辺新田１番１号　富士電機株式会社内
【氏名】　大西　泰彦
【発明者】
【住所又は居所】　神奈川県川崎市川崎区田辺新田１番１号　富士電機株式会社内
【氏名】　佐藤　高広
【発明者】
【住所又は居所】　神奈川県川崎市川崎区田辺新田１番１号　富士電機株式会社内
【氏名】　永岡　達司
【特許出願人】
【識別番号】　000005234
【氏名又は名称】　富士電機株式会社
【代理人】
【識別番号】　100104190
【弁理士】
【氏名又は名称】　酒井　昭徳

【手数料の表示】

【予納台帳番号】　041759

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　0008358

【プルーフの要否】　要

【書類名】　　明細書

【発明の名称】　半導体素子

【特許請求の範囲】

【請求項１】　半導体基板の第１の主面と第２の主面との間に、低抵抗層と、前記第１の主面側から前記第２の主面側へ向かう縦方向に延び、かつ横方向に交互に繰り返し接合された複数の第１導電型領域および複数の第２導電型領域よりなる並列ｐｎ接合層と、前記第１の主面側に形成されたトレンチ内にゲート絶縁膜を介して埋め込まれたゲート電極と、前記ゲート絶縁膜の、前記トレンチの側壁に沿う部分の少なくとも一部に接する第２導電型ベース領域と、前記第２導電型ベース領域により前記第１導電型領域から離間され、かつ前記ゲート絶縁膜の、前記トレンチの側壁に沿う部分に接する第１導電型ソース領域と、を具備する半導体素子において、

前記トレンチの終端部は、複数の前記第２導電型領域のうちの一部の第２導電型領域内に形成されていることを特徴とする半導体素子。

【請求項２】　複数の前記第２導電型領域のうちの、前記トレンチの終端部が形成された第２導電型領域に関し、前記トレンチの終端部を囲む部分の不純物濃度は、前記第２の主面側部分の不純物濃度よりも高いことを特徴とする請求項１に記載の半導体素子。

【請求項３】　前記トレンチの終端部が形成された第２導電型領域の、前記トレンチの終端部を囲む不純物濃度の高い部分は、オン状態で電流を流す領域内に配置された並列ｐｎ接合層の第２導電型領域に配置されていることを特徴とする請求項２に記載の半導体素子。

【請求項４】　複数の前記第２導電型領域のうちの、前記トレンチの終端部が形成された第２導電型領域に関し、前記トレンチの終端部を囲む部分の幅は、前記第２の主面側部分の幅よりも広いことを特徴とする請求項１に記載の半導体素子。

【請求項５】　前記トレンチの終端部が形成された第２導電型領域の、前記トレンチの終端部を囲む幅の広い部分は、オン状態で電流を流す領域内に配置された並列ｐｎ接合層の第２導電型領域に配置されていることを特徴とする請求項

４に記載の半導体素子。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体基板の第１の主面側から第２の主面側へ向かって延びる第１導電型半導体よりなる複数のドリフト領域と、それと同様に延びる第２導電型半導体よりなる複数の仕切り領域とを、それらの延びる方向に交差する方向に交互に繰り返し接合した構成の並列ｐｎ接合層を有し、該並列ｐｎ接合層が、オン状態のときに電流を流し、かつオフ状態のときには空乏化するドリフト層となる半導体素子に関し、特に、ＭＯＳＦＥＴ（絶縁ゲート型電界効果トランジスタ）やＩＧＢＴ（絶縁ゲート型バイポーラトランジスタ）やバイポーラトランジスタ等に適用可能な、高耐圧化と大電流容量化を両立させることのできる半導体素子に関する。

【０００２】

【従来の技術】

一般に、半導体素子は、半導体基板の片面に電極部をもち、主面に平行な方向に電流が流れる横型素子と、半導体基板の両面に電極をもち、主面に垂直な方向に電流が流れる縦型素子とに大別される。縦型半導体素子は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアス電圧による空乏層が延びる方向とが同じである。たとえば、通常のプレーナ型のｎチャネル縦型ＭＯＳＦＥＴの場合、高抵抗のｎ$^-$ドリフト層の部分は、ＭＯＳＦＥＴがオン状態のときは縦方向にドリフト電流を流す領域として働き、オフ状態のときは空乏化して耐圧を高める。

【０００３】

この高抵抗のｎ$^-$ドリフト層の電流経路を短くすることは、電流に対するドリフト抵抗が低くなるのでＭＯＳＦＥＴの実質的なオン抵抗を下げる効果に繋がるものの、逆にｐベース領域とｎ$^-$ドリフト領域との間のｐｎ接合から進行するドレインーベース間空乏層が広がる幅が狭く、シリコンの臨界電界強度に速く達するため、耐圧が低下してしまう。逆に耐圧の高い半導体装置では、ｎ$^-$ドリフト層が厚くなるため必然的にオン抵抗が大きくなり、損失が増すことになる。すな

わちオン抵抗と耐圧との間にトレードオフ関係がある。

【０００４】

このトレードオフ関係は、ＩＧＢＴ、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。また、この問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向が異なる横型半導体素子についても共通である。この問題に対する解決法として、ドリフト層を、不純物濃度を高めたｎ型の領域とｐ型の領域を交互に配置した並列ｐｎ接合層で構成し、オフ状態のときは空乏化して耐圧を負担するようにした構造の半導体装置が、たとえば、特許文献１、特許文献２、特許文献３、特許文献４に開示されている。

【０００５】

通常のプレーナ型のｎチャネル縦型ＭＯＳＦＥＴとの構造上の違いは、ドリフト部が一様・単一の導電型でなく、上述した並列ｐｎ接合層となっている点である。この並列ｐｎ接合層は、オフ状態では、不純物濃度が高くても、並列ｐｎ構造の縦方向に配向する各ｐｎ接合から空乏層がその両側の横方向に拡がり、ドリフト領域全体が空乏化するため、高耐圧化を図ることができる。なお、本明細書では、このような並列ｐｎ構造のドリフト部を備える半導体素子を超接合半導体素子と称することとする。

【０００６】

ところで、一般に、プレーナ型超接合ＭＯＳＦＥＴのオン抵抗（Ｒｏｎ・Ａ）はおよそつぎの（１）式で表される。ただし、ソース層抵抗をR_sとし、チャネル抵抗をR_{ch}とし、蓄積層抵抗をR_{acc}とし、接合ＦＥＴ（ＪＦＥＴ）効果による抵抗をR_{JFET}とし、ドリフト抵抗をR_{drift}とし、ドレイン層抵抗をR_dとする。

【０００７】

$$Ron \cdot A = (R_s + R_{ch} + R_{acc} + R_{JFET} + R_{drift} + R_d) \cdot A \quad \cdots (1)$$

【０００８】

超接合半導体素子では、ドリフト抵抗R_{drift}が、つぎの（２）式で表される

関係にあるため、耐圧が高くなってもドリフト抵抗が耐圧に比例して増大するだけで、従来のＭＯＳＦＥＴと比較すると劇的なオン抵抗の低減が可能となる。さらに、同じ耐圧でも、並列ｐｎ接合層のｎ型ドリフト領域幅ｄを小さくすることで、オン抵抗をさらに低減することができる。なお、（２）式において、μは電子の移動度であり、ε_0は真空の誘電率であり、ε_sはシリコンの比誘電率であり、Ｅｃは臨界電界であり、Ｖｂは耐圧（降伏電圧）である。

【０００９】

$$R_{drift} \cdot A = (4 \cdot d \cdot Vb) / (\mu \cdot \varepsilon_0 \cdot \varepsilon_s \cdot Ec^2) \quad \cdots (2)$$

【００１０】

しかし、ドリフト抵抗R_{drift}が劇的に低減される一方、前記（１）式にあるドリフト抵抗以外の抵抗成分が顕著化してくる。特に、ＪＦＥＴ効果における抵抗R_{JFET}の割合がオン抵抗中で大きく、これを改善するために表面から掘り下げたトレンチ内にゲート電極を埋め、トレンチ側壁部にチャネルを誘起させる、いわゆるトレンチ型ＭＯＳＦＥＴの適用が提案されている。トレンチ型の超接合半導体素子については、たとえば、特許文献５に開示されている。

【００１１】

【特許文献１】

欧州特許第００５３８５４号明細書

【特許文献２】

米国特許第５２１６２７５号明細書

【特許文献３】

米国特許第５４３８２１５号明細書

【特許文献４】

特開平９－２６６３１１号公報

【特許文献５】

特開２００２－７６３３９号公報

【特許文献６】

特開２００１－３１３３９１号公報

【００１２】

【発明が解決しようとする課題】

しかしながら、トレンチ型ＭＯＳＦＥＴの場合でも、プレーナ型ＭＯＳＦＥＴと同様に耐圧構造部を有するため、ストライプ状のトレンチ溝を有する場合には、トレンチの終端が、耐圧構造部へ移行する領域に形成されることがある。このような場合、トレンチ終端部が３次元の曲面形状をなすため、トレンチ終端部の領域で電界集中が起こり、耐圧の低下を招くおそれがある。

【００１３】

また、オン状態からオフ状態に移行する過渡期において、空乏層が並列ｐｎ接合層構造に速やかに拡張されるため、蓄積キャリアの逃げ場がなく、吐き出されたキャリアが電界集中による強電界に遭遇して、ホットキャリアとしてゲート絶縁膜へ注入されやすくなる。このため、ゲート絶縁膜が劣化して、閾値電圧の低下を招くなど、ゲート絶縁膜の信頼性が低下するおそれがある。本出願人は上記特許文献６において、ゲート絶縁膜へのホットキャリアの注入を抑制することができるプレーナ型の超接合半導体素子の構造を開示しているが、トレンチ型の超接合半導体素子に関してもゲート絶縁膜へのホットキャリアの注入を抑制する必要がある。

【００１４】

本発明は、上記問題点に鑑みてなされたものであって、耐圧の低下を抑制するとともに、ゲート絶縁膜の信頼性の高いトレンチ型の超接合半導体素子を提供することを目的とする。

【００１５】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる超接合半導体素子は、半導体基板の第１の主面と第２の主面との間に、低抵抗層と、並列ｐｎ接合層を有する。並列ｐｎ接合層は、複数の第１導電型ドリフト領域と複数の第２導電型仕切り領域からなる。第１導電型ドリフト領域および第２導電型仕切り領域は、前記第１の主面側から前記第２の主面側へ向かう縦方向に延びている。並列ｐｎ接合層は、それら第１導電型ドリフト領域と第２導電型仕切り領域を横方向に交互に繰り返し接合した構造となっている。そして、第１の主面側に形成されたトレンチの終端

部は、複数の第２導電型仕切り領域のうちの一部の第２導電型仕切り領域内の、不純物濃度が第２の主面側よりも高い部分、または幅が第２の主面側よりも広い部分に形成されている。

【００１６】

また、トレンチの内側には、ゲート絶縁膜が設けられており、このゲート絶縁膜の内側は、ゲート電極により埋め込まれている。また、第２導電型ベース領域は、ゲート絶縁膜の、トレンチの側壁に沿う部分の少なくとも一部に接するように、第１の主面側の表面層に設けられている。第２導電型ベース領域内には、第１導電型ソース領域が、第２導電型ベース領域により第１導電型ドリフト領域から離間され、かつゲート絶縁膜の、トレンチの側壁に沿う部分に接するように設けられている。

【００１７】

この発明において、トレンチの終端部が形成された第２導電型仕切り領域の、トレンチの終端部を囲む不純物濃度の高い部分、または幅の広い部分は、オン状態で電流を流す領域内に配置された並列ｐｎ接合層の第２導電型仕切り領域に配置されていてもよい。また、第１導電型ドリフト領域、第２導電型仕切り領域およびトレンチはいずれもストライプ状であり、第１導電型ドリフト領域および第２導電型仕切り領域と、トレンチとは、概ね直交していてもよい。この場合、第１導電型ドリフト領域および第２導電型仕切り領域に対して概ね直交したトレンチの他に、このトレンチに直交する第２のトレンチが設けられており、それらトレンチ同士が、オン状態で電流を流す領域を囲むように接続されていてもよい。第１導電型ドリフト領域および第２導電型仕切り領域と、トレンチとが、概ね平行になっている場合も同様であり、このトレンチとこれに直交する第２のトレンチとが、オン状態で電流を流す領域を囲むように互いに接続された構成となっていてもよい。

【００１８】

この発明によれば、トレンチ終端部の３次元曲面形状部分が、オン状態で電流を流す領域において、並列ｐｎ接合層の第２導電型仕切り領域の不純物濃度の高い部分または幅の広い部分により囲まれていることによって、第２導電型仕切り

領域の不純物濃度の高い部分または幅の広い部分と、これに接合する第１導電型ドリフト領域との境界で電界強度が強くなるので、トレンチ終端部の３次元曲面形状部分への電界集中が緩和される。

【００１９】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。なお、以下の説明および添付図面において、ｎもしくはｐを冠記または付記した層や領域は、それぞれ電子、正孔を多数キャリアとする層、領域を意味している。また、ｎやｐに付した添字の＋は比較的高不純物濃度であることを意味している。さらに、以下の説明では、第１導電型をｎ型とし、第２導電型をｐ型とするが、その逆でも同様である。

【００２０】

実施の形態１．

図１は、本発明の実施の形態１にかかる超接合半導体素子の要部の構成を示す断面斜視図である。図１に示すように、低抵抗層であるn^+ドレイン層１１上に、薄いｎドリフト領域１２とｐ仕切り領域１３を交互に並べて接合した構成の並列ｐｎ接合層１４が形成されている。その並列ｐｎ接合層１４の上に、ｐベース領域１５が形成されている。ｐベース領域１５の表面層には、n^+ソース領域１６が形成されている。ｎドリフト領域１２およびｐ仕切り領域１３は、平面図的にはストライプ状である。

【００２１】

また、ｐベース領域１５内には、ｐベース領域１５およびn^+ソース領域１６の表面から、それらを貫通して、並列ｐｎ接合層１４に達するトレンチ１７が形成されている。このトレンチ１７は、ゲート絶縁膜１８を介してゲート電極１９により埋め込まれている。トレンチ１７は、ｎドリフト領域１２およびｐ仕切り領域１３に対して概ね直交する方向に延びるストライプ状である。

【００２２】

トレンチ１７の終端部の３次元曲面形状をなす部分２０は、ｐ仕切り領域１３内に位置するように形成されている。このｐ仕切り領域１３の、トレンチ終端部

の３次元曲面形状部分２０を囲む部分は、その下側の部分よりも不純物濃度が高いｐ$^{+}$領域２１となっている。ここで、ｐベース領域１５が設けられた領域は、オン状態で電流を流す活性部である。この活性部の、トレンチ終端部が位置していないｐ仕切り領域１３にも、その上半部に不純物濃度が高いｐ$^{+}$領域２１が設けられている。

【００２３】

一例として、各部の基準的な寸法および不純物濃度等は以下のようになる。トレンチ１７について、その幅はおおよそ１μｍであり、深さはおおよそ３．５μｍである。また、ｐ$^{+}$領域２１について、その幅はおおよそ６μｍであり、深さはおおよそ１２μｍであり、不純物濃度はおおよそ４×１０^{15}ｃｍ$^{-3}$である。また、ｐ仕切り領域１３について、その幅はおおよそ６μｍであり、不純物濃度はおおよそ３．６×１０^{15}ｃｍ$^{-3}$である。

【００２４】

また、ｎドリフト領域１２について、その幅はおおよそ６μｍであり、不純物濃度は、ｐ仕切り領域１３に接する部分でもｐ$^{+}$領域２１に接する部分でも同じであり、おおよそ３．６×１０^{15}ｃｍ$^{-3}$である。したがって、並列ｐｎ接合層１４の、トレンチ終端部の３次元曲面形状部分２０が接する部分の総不純物量は、ｐ$^{+}$領域２１を設けない場合に比べて多くなる。

【００２５】

図２は、図１に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。上述したように、トレンチ１７の幅が１μｍ程度の場合には、トレンチ終端部の３次元曲面形状部分２０の曲率半径はおおよそ０．５μｍとなるので、この３次元曲面形状部分２０を有する領域の幅は、トレンチ幅と同程度の１μｍ程度となる。したがって、図２に示すように、トレンチ終端部の３次元曲面形状部分２０は、６μｍ幅のｐ$^{+}$領域２１によって完全に囲まれることになる。

【００２６】

なお、図１において、活性部の外側は耐圧構造部であるが、耐圧構造部には、電界緩和を目的とした微細な並列ｐｎ接合層２４が配置されており、そのｎ領域

２２およびｐ領域２３は、活性部の並列ｐｎ接合層１４のｎドリフト領域１２およびｐ仕切り領域１３のおおよそ半分の幅である。また、図示および説明を省略するが、耐圧構造部には、フィールドプレート構造やガードリング構造などが適宜設けられている。また、図示省略するが、n^+ソース領域１６およびpベース領域１５には、層間絶縁膜によりゲート電極１９から絶縁されたソース電極が接触しており、n^+ドレイン層１１にはドレイン電極が接触している。

【００２７】

上述した実施の形態１によれば、たとえば不純物濃度が高いp^+領域２１とｎドリフト領域１２とに約５０Ｖ以上の逆バイアスが印加されると、活性部の並列ｐｎ接合層１４は完全に空乏化するが、トレンチ終端部の３次元曲面形状部分２０がp^+領域２１で完全に囲まれているため、そのときの電界は、p^+領域２１とｎドリフト領域１２との境界で強くなる。したがって、トレンチ終端部の３次元曲面形状部分２０における電界が相対的に緩和されるので、その３次元曲面形状部分２０のゲート絶縁膜１８にホットキャリアが注入されるのが抑制され、ゲート絶縁膜１８の信頼性が向上するという効果が得られる。また、トレンチ終端部の３次元曲面形状部分２０で耐圧が決定されることはないので、所望の耐圧を得ることが可能となる。

【００２８】

また、実施の形態１によれば、p^+領域２１が活性部に配置されているため、耐圧が活性部で決定され、アバランシェ電流が活性部で発生する。したがって、トレンチ終端部の３次元曲面形状部分２０へのアバランシェ電流の集中を回避できるので、アバランシェ耐量が向上するという効果が得られる。

【００２９】

実施の形態２．

図３は、本発明の実施の形態２にかかる超接合半導体素子の要部の構成を示す断面斜視図であり、図４は、そのトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。実施の形態２が実施の形態１と異なるのは、p^+領域２１がないことと、ｐ仕切り領域１３の、トレンチ終端部の３次元曲面形状部分２０を囲む部分３１の幅が、その下側部分よりも広くなっていることである。

【００３０】

この幅の広い部分３１を含むｐ仕切り領域１３の不純物濃度は一様であり、ｎドリフト領域１２の不純物濃度と同じである。また、たとえばｐ仕切り領域１３の幅の広い部分３１の幅はおおよそ６．６μｍであり、したがってｎドリフト領域１２の、ｐ仕切り領域１３の幅の広い部分３１に接する部分の幅はおおよそ５．４μｍである。また、実施の形態１と同様に、活性部の他のｐ仕切り領域１３にも、幅の広い部分３１が設けられている。その他の構成や、寸法および不純物濃度等は、実施の形態１と同じである。実施の形態１と同じ構成については、実施の形態１と同一の符号を付して説明を省略する。

【００３１】

上述した実施の形態２によれば、トレンチ終端部の３次元曲面形状部分２０が、ｐ仕切り領域１３の幅の広い部分３１に囲まれていることによって、並列ｐｎ接合層１４の、トレンチ終端部の３次元曲面形状部分２０が接する部分の総不純物量が多くなるため、逆バイアスが印加されたときの電界は、ｐ仕切り領域１３の幅の広い部分３１とｎドリフト領域１２との境界で強くなる。したがって、トレンチ終端部の３次元曲面形状部分２０における電界が相対的に緩和されるので、実施の形態１と同様に、ゲート絶縁膜１８へのホットキャリアの注入が抑制され、ゲート絶縁膜１８の信頼性が向上するとともに、所望の耐圧を得ることができるという効果が得られる。また、ｐ仕切り領域１３の幅の広い部分３１が活性部に配置されているため、実施の形態１と同様に、アバランシェ耐量が向上するという効果が得られる。

【００３２】

実施の形態３．

図５は、本発明の実施の形態３にかかる超接合半導体素子の要部の構成を示す断面斜視図であり、図６は、そのトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。実施の形態３は、実施の形態１において、活性部内のｐ仕切り領域１３のp^+領域２１内に、第２のトレンチ４１がｐ仕切り領域１３に対して平行に形成されており、この第２のトレンチ４１に、トレンチ１７の終端部となる３次元曲面形状部分２０が接続された構成となっている。第２のトレン

チ４１も、ゲート絶縁膜１８を介してゲート電極１９により埋め込まれている。

【００３３】

第２のトレンチ４１の幅および深さは、それぞれ実施の形態１において例示したトレンチ１７の幅および深さと同じである。すなわち、幅はおおよそ１μｍであり、深さはおおよそ３．５μｍである。ここで、図６に示すように、第２のトレンチ４１は、ｐ仕切り領域１３のｐ$^{+}$領域２１からはみ出すことなく、そのｐ$^{+}$領域２１内に形成されている。その他の構成や、寸法および不純物濃度等は、実施の形態１と同じである。実施の形態１と同じ構成については、実施の形態１と同一の符号を付して説明を省略する。

【００３４】

上述した実施の形態３によれば、トレンチ終端部の３次元曲面形状部分２０が、ｐ仕切り領域１３のｐ$^{+}$領域２１に囲まれており、逆バイアス印加時の電界は、ｐ$^{+}$領域２１とｎドリフト領域１２との境界で強くなるため、実施の形態１と同様に、ゲート絶縁膜１８へのホットキャリアの注入抑制により、ゲート絶縁膜１８の信頼性が向上するとともに、所望の耐圧を得ることができるという効果が得られる。また、アバランシェ耐量が向上するという効果が得られる。

【００３５】

実施の形態４．

図７は、本発明の実施の形態４にかかる超接合半導体素子の要部の構成を示す断面斜視図であり、図８は、そのトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。実施の形態４は、実施の形態２に実施の形態３を適用したものである。すなわち、実施の形態２において、活性部内のｐ仕切り領域１３の幅の広い部分３１内に、第２のトレンチ４１がｐ仕切り領域１３に対して平行に形成されている。そして、この第２のトレンチ４１に、実施の形態２においてトレンチ１７の終端部となる３次元曲面形状部分２０が接続されている。

【００３６】

第２のトレンチ４１の幅および深さは、それぞれ実施の形態３と同じであり、おおよそ、それぞれ１μｍおよび３．５μｍである。その他の構成や、寸法および不純物濃度等は、実施の形態２と同じである。実施の形態１または実施の形態

２と同じ構成については、実施の形態１または実施の形態２と同一の符号を付して説明を省略する。

【００３７】

上述した実施の形態４によれば、トレンチ終端部の３次元曲面形状部分２０が、ｐ仕切り領域１３の幅の広い部分３１に囲まれており、逆バイアス印加時の電界は、ｐ仕切り領域１３の幅の広い部分３１とｎドリフト領域１２との境界で強くなるため、実施の形態２と同様に、ゲート絶縁膜１８へのホットキャリアの注入抑制により、ゲート絶縁膜１８の信頼性が向上するとともに、所望の耐圧を得ることができるという効果が得られる。また、アバランシェ耐量が向上するという効果が得られる。

【００３８】

実施の形態５．

図９は、本発明の実施の形態５にかかる超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。実施の形態５は、実施の形態３または実施の形態４において、並列ｐｎ接合層１４のp^+領域２１またはｐ仕切り領域１３の幅の広い部分３１に概ね直交するトレンチ１７と、このトレンチ１７の終端部に接続し、かつトレンチ１７に直交する第２のトレンチ４１とにより、素子活性領域を囲む構成としたものである。その他の構成は、実施の形態３または実施の形態４と同じであるので、説明を省略する。したがって、実施の形態５によれば、実施の形態３または実施の形態４と同様の効果が得られる。

【００３９】

実施の形態６．

図１０は、本発明の実施の形態６にかかる超接合半導体素子の要部の構成を示す断面斜視図であり、図１１は、そのトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。また、図１２は、トレンチ終端部の近傍領域（図１１のＡ－Ａ’）における縦断面図であり、図１３は、トレンチ終端部の近傍でない領域、すなわち素子活性領域（図１１のＢ－Ｂ’）における縦断面図である。

【００４０】

図１０に示すように、実施の形態６は、実施の形態２において、並列ｐｎ接合

層１４のｐ仕切り領域１３に概ね直交するトレンチ１７の代わりに、ｐ仕切り領域１３に沿って平行に延びるトレンチ５１を、ｐ仕切り領域１３およびｐ仕切り領域１３の幅の広い部分３１の上に設けた構成となっている。そして、図１１および図１２に示すように、トレンチ５１の終端部の３次元曲面形状部分２０は、ｐ仕切り領域１３の幅の広い部分３１により囲まれている。

【００４１】

また、図１１および図１３に示すように、トレンチ５１の、その終端部を除く部分では、トレンチ５１の幅の方がｐ仕切り領域１３の幅よりも広いため、トレンチ５１の側壁部は並列ｐｎ接合層１４のｎドリフト領域１２に接している。トレンチ５１の底部は、ｐ仕切り領域１３に接している。このトレンチ５１も、ゲート絶縁膜１８を介してゲート電極１９により埋め込まれている。

【００４２】

ここで、トレンチ５１の幅はたとえば７μｍである。また、トレンチ終端部の近傍箇所においては、ｐ仕切り領域１３の幅の広い部分３１の幅はおおよそ８μｍであり、したがってｎドリフト領域１２の幅はおおよそ４μｍである。その他の構成や、寸法および不純物濃度等は、実施の形態２と同じである。実施の形態１または実施の形態２と同じ構成については、実施の形態１または実施の形態２と同一の符号を付して説明を省略する。

【００４３】

上述した実施の形態６によれば、トレンチ終端部の３次元曲面形状部分２０が、ｐ仕切り領域１３の幅の広い部分３１に囲まれており、逆バイアス印加時の電界は、ｐ仕切り領域１３の幅の広い部分３１とｎドリフト領域１２との境界で強くなるため、実施の形態２と同様に、ゲート絶縁膜１８へのホットキャリアの注入抑制により、ゲート絶縁膜１８の信頼性が向上するとともに、所望の耐圧を得ることができるという効果が得られる。

【００４４】

実施の形態７．

図１４は、本発明の実施の形態７にかかる超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。また、図１５は、トレン

チ終端部の近傍領域（図１４のＣ－Ｃ’）における縦断面図であり、図１６は、トレンチ終端部の近傍でない領域、すなわち素子活性領域（図１４のＤ－Ｄ’）における縦断面図である。

【００４５】

図１４に示すように、実施の形態７は、実施の形態６において、ｐ仕切り領域１３の幅の広い部分３１が、トレンチ５１の終端部近傍領域だけでなく、トレンチ５１に沿って素子活性領域にも設けられた構成となっている。したがって、図１４および図１５に示すように、トレンチ５１の終端部の３次元曲面形状部分２０が、ｐ仕切り領域１３の幅の広い部分３１により囲まれているのは勿論であるが、図１６に示すように、トレンチ５１の、その終端部を除く部分でも、トレンチ５１は、ｐ仕切り領域１３の幅の広い部分３１により囲まれている。その他の構成は、実施の形態６と同じであるので、説明を省略する。したがって、実施の形態７によれば、実施の形態６と同様の効果が得られる。さらに、ｐ仕切り領域１３の幅の広い部分３１が活性部に配置されているため、実施の形態１と同様に、アバランシェ耐量が向上するという効果が得られる。

【００４６】

以上において本発明は、上述した各実施の形態に限らず、種々変更可能である。たとえば、上述した寸法や不純物濃度の値は一例であり、本発明はこれに限定されるものではない。また、実施の形態６または実施の形態７において、実施の形態３または実施の形態４のように、トレンチ５１に直交する第２のトレンチを設け、この第２のトレンチに、トレンチ５１の終端部を接続する構成としてもよい。その場合、実施の形態５のように、トレンチ５１および第２のトレンチによって素子活性領域を囲む構成としてもよい。また、本発明は、ＭＯＳＦＥＴに限らず、ＩＧＢＴやバイポーラトランジスタ等にも適用可能である。

【００４７】

【発明の効果】

本発明によれば、トレンチ終端部の３次元曲面形状部分が、オン状態で電流を流す領域において、並列ｐｎ接合層の第２導電型仕切り領域の不純物濃度の高い部分または幅の広い部分により囲まれていることによって、第２導電型仕切り領

域の不純物濃度の高い部分または幅の広い部分と、これに接合する第１導電型ドリフト領域との境界で電界強度が強くなるので、トレンチ終端部の３次元曲面形状部分への電界集中が緩和される。したがって、ゲート絶縁膜へのホットキャリアの注入を緩和することができるので、ゲート絶縁膜の信頼性が向上するとともに、耐圧の安定化を図ることができる。

【図面の簡単な説明】

【図１】

本発明の実施の形態１にかかる超接合半導体素子の要部の構成を示す断面斜視図である。

【図２】

図１に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【図３】

本発明の実施の形態２にかかる超接合半導体素子の要部の構成を示す断面斜視図である。

【図４】

図３に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【図５】

本発明の実施の形態３にかかる超接合半導体素子の要部の構成を示す断面斜視図である。

【図６】

図５に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【図７】

本発明の実施の形態４にかかる超接合半導体素子の要部の構成を示す断面斜視図である。

【図８】

図７に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要

部を示す模式図である。

【図９】

本発明の実施の形態５にかかる超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【図１０】

本発明の実施の形態６にかかる超接合半導体素子の要部の構成を示す断面斜視図である。

【図１１】

図１０に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【図１２】

図１１のＡ－Ａ’における切断面の構造を示す縦断面図である。

【図１３】

図１１のＢ－Ｂ’における切断面の構造を示す縦断面図である。

【図１４】

本発明の実施の形態７にかかる超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【図１５】

図１４のＣ－Ｃ’における切断面の構造を示す縦断面図である。

【図１６】

図１４のＤ－Ｄ’における切断面の構造を示す縦断面図である。

【符号の説明】

１１　低抵抗層（n^+ドレイン層）

１２　第１導ドリフト領域（ｎドリフト領域）

１３　第２導電型仕切り領域（ｐ仕切り領域）

１４　並列ｐｎ接合層

１５　第２導電型ベース領域（ｐベース領域）

１６　第１導電型ソース領域（n^+ソース領域）

１７，５１　トレンチ

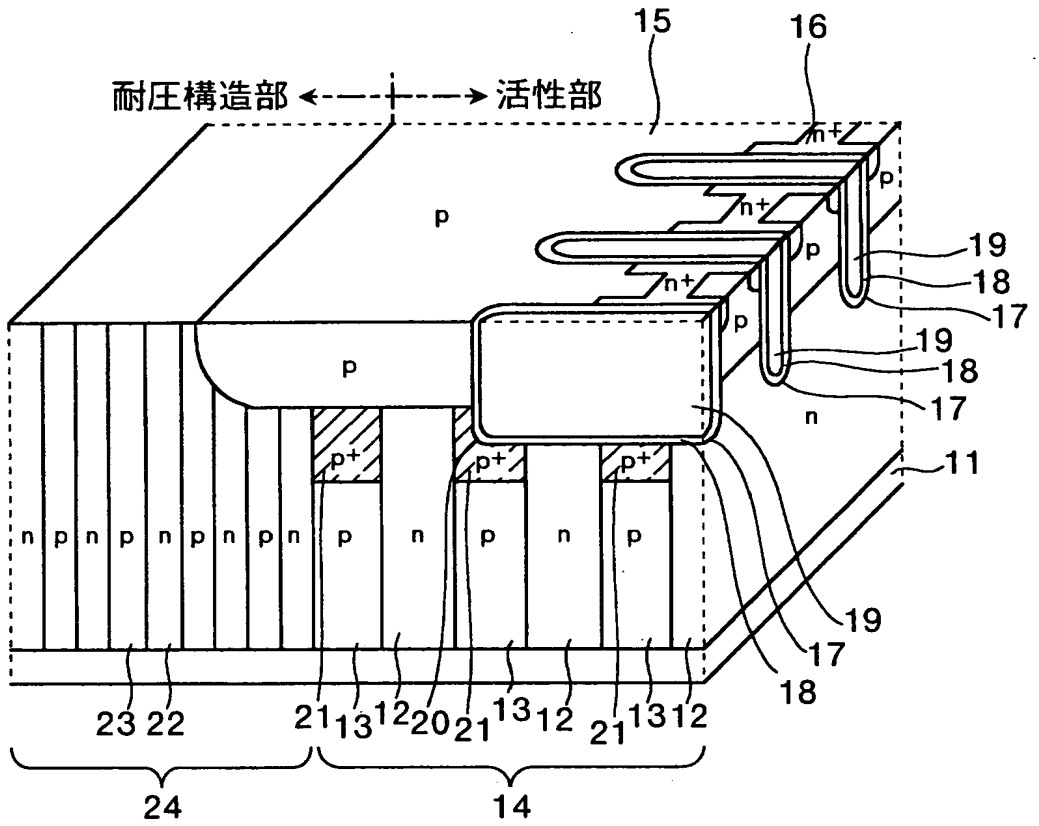
１８　ゲート絶縁膜

１９　ゲート電極

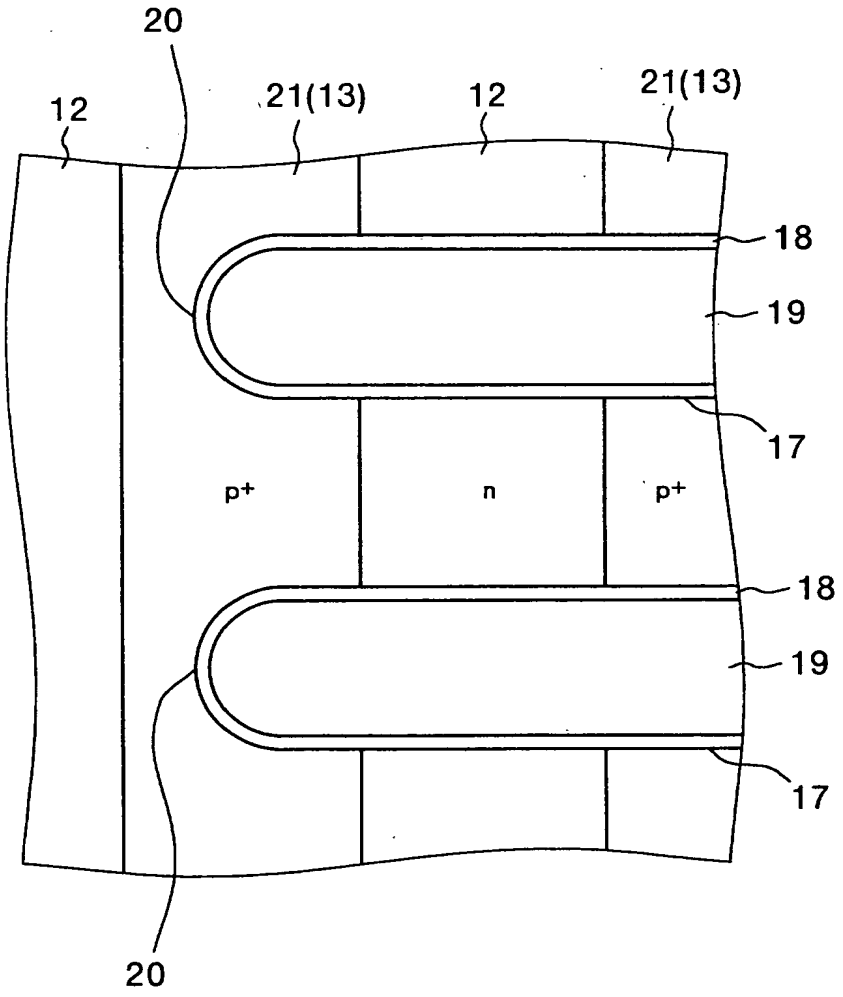
４１　第２のトレンチ

【書類名】　　図面

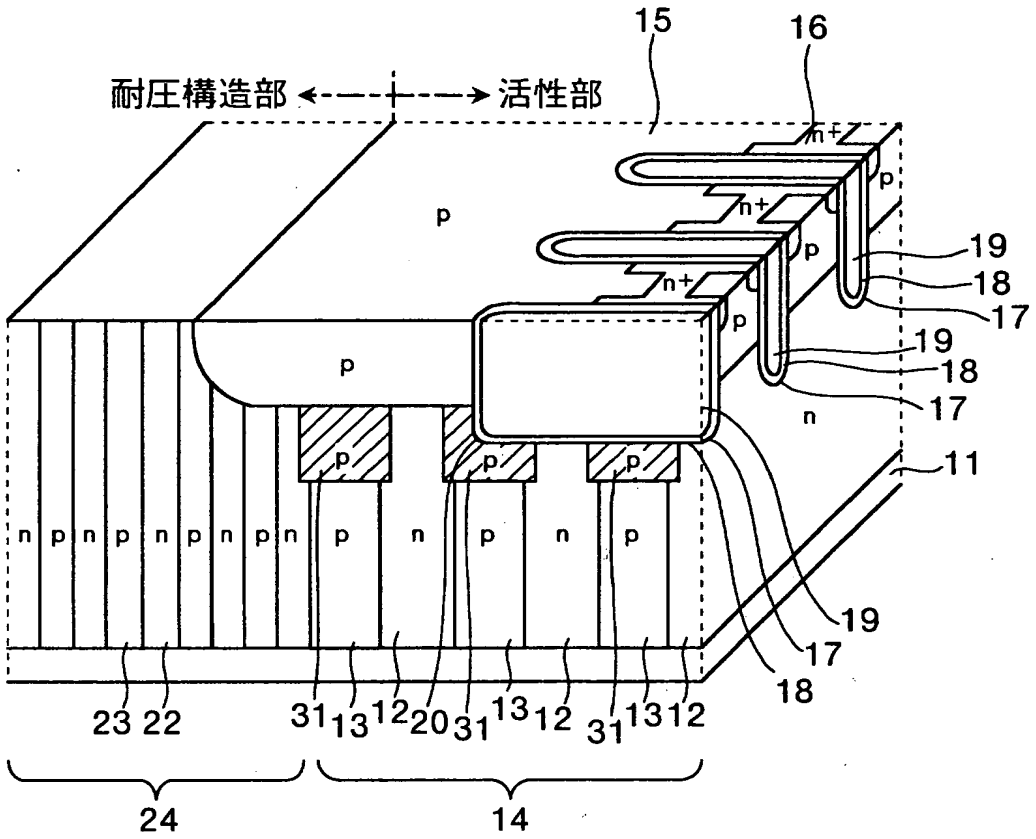
【図１】


15
16
耐圧構造部
活性部
n+
p
19
18
17
11
n
p+
23 22
21 13 12 20 21 13 12 21 13 12
24
14

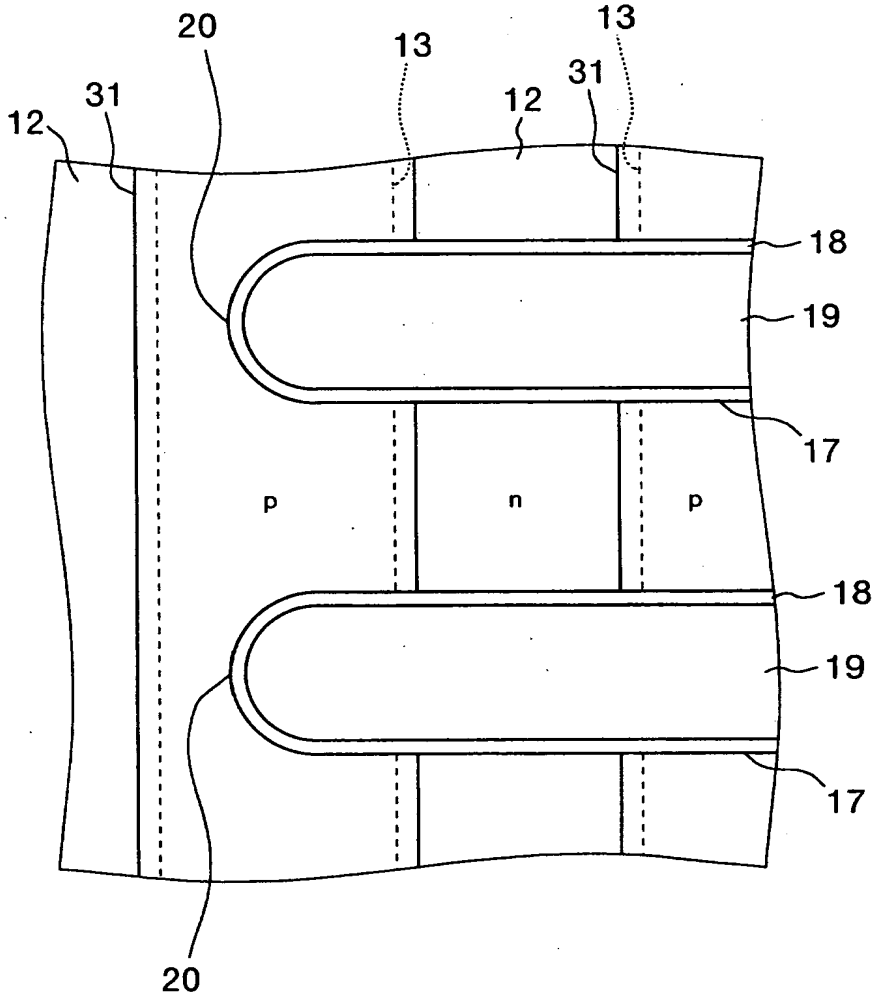
【図２】



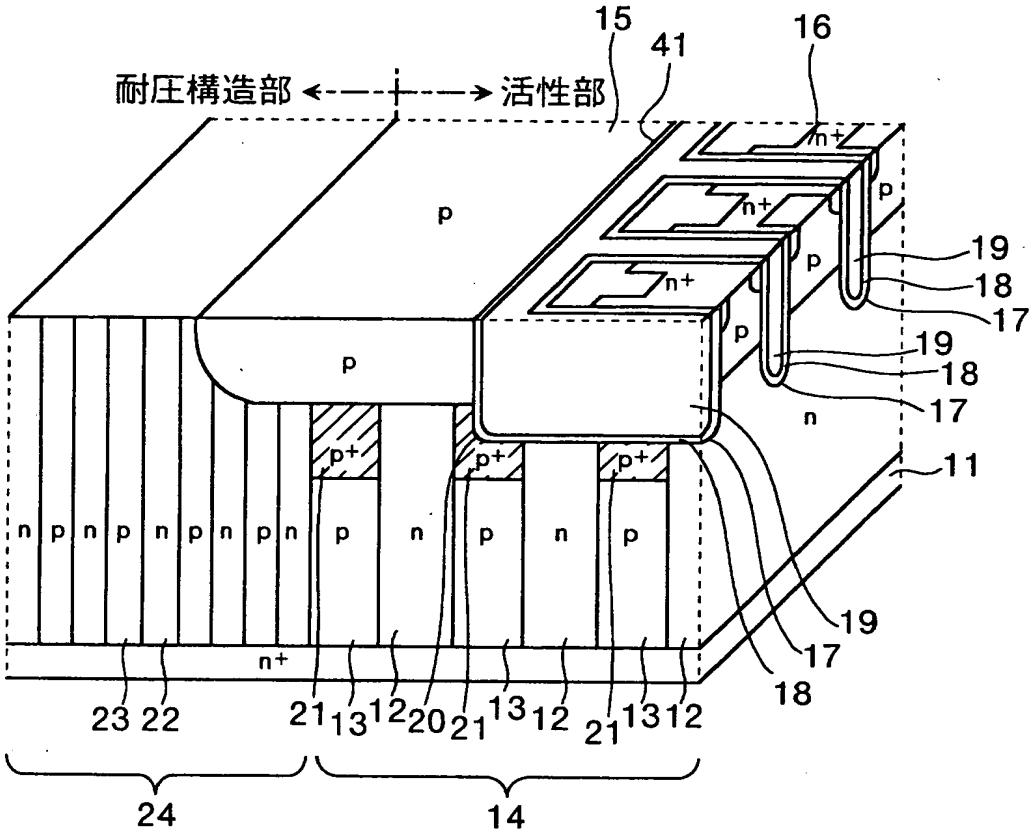
【図３】


15
16
耐圧構造部
活性部
n+
p
19
18
17
n
11
23 22
31 13 12 20 31 13 12 31 13 12
24
14

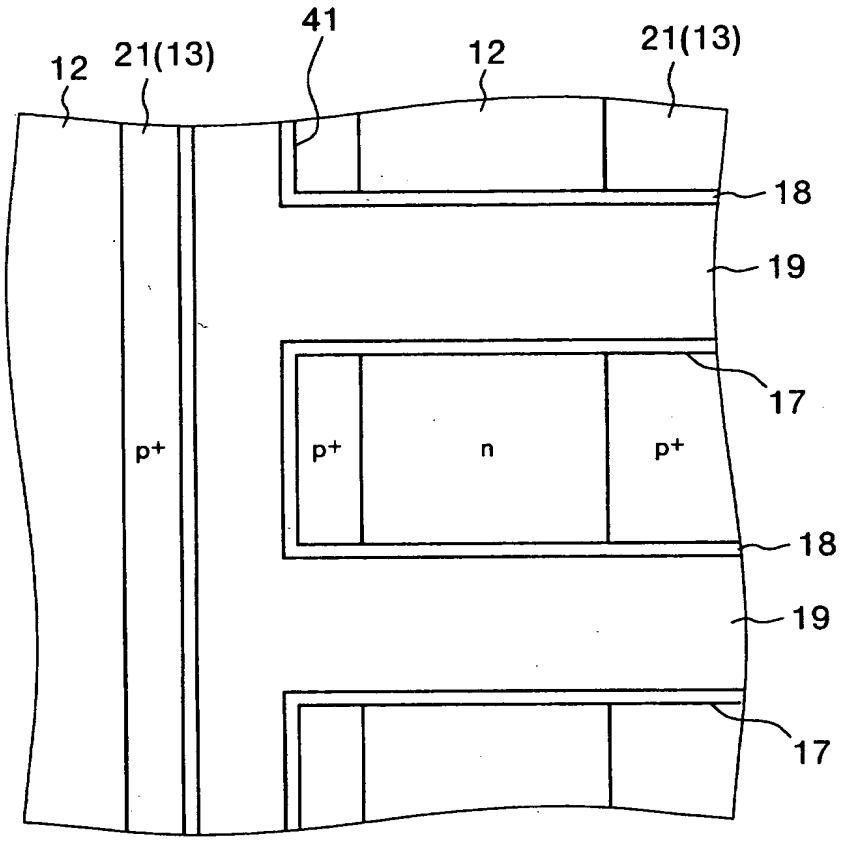
【図４】



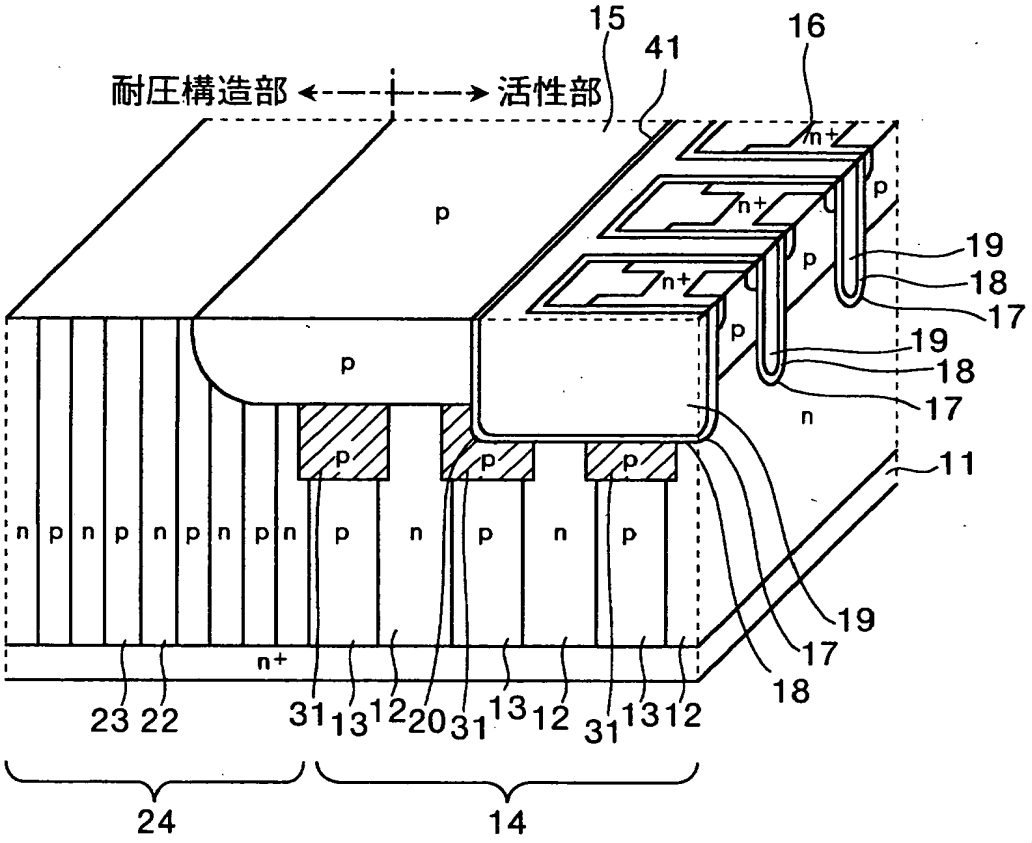
【図５】


15
41
16
耐圧構造部
活性部
n+
p
19
18
17
n
11
p+
23 22
21 13 12 20 21 13 12 21 13 12
24
14

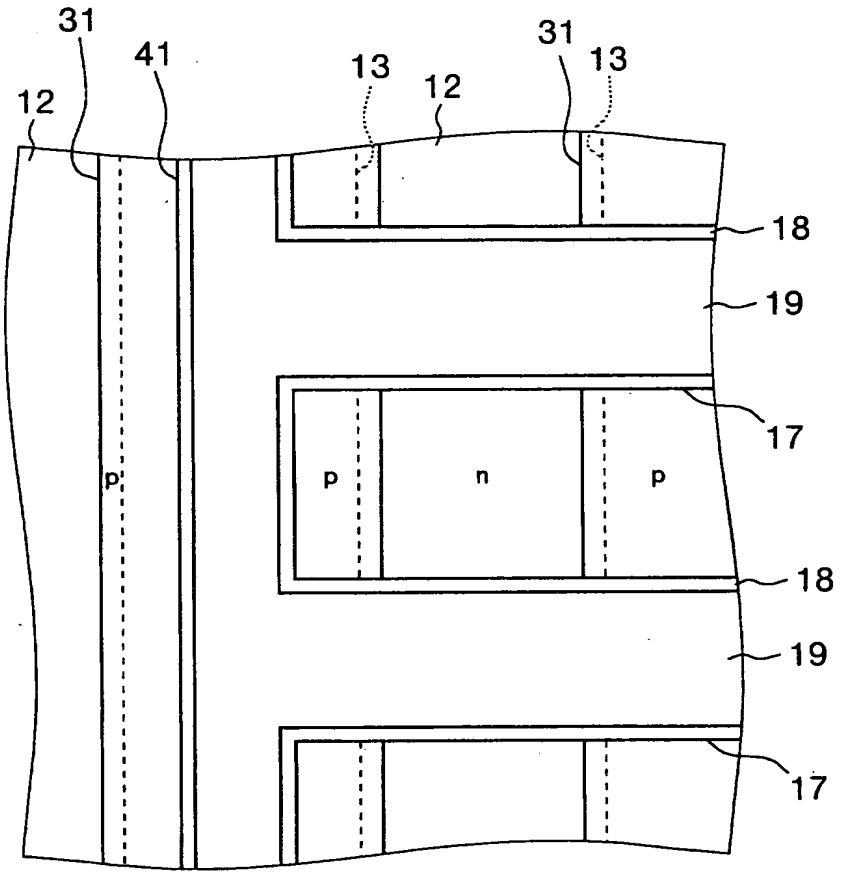
【図６】



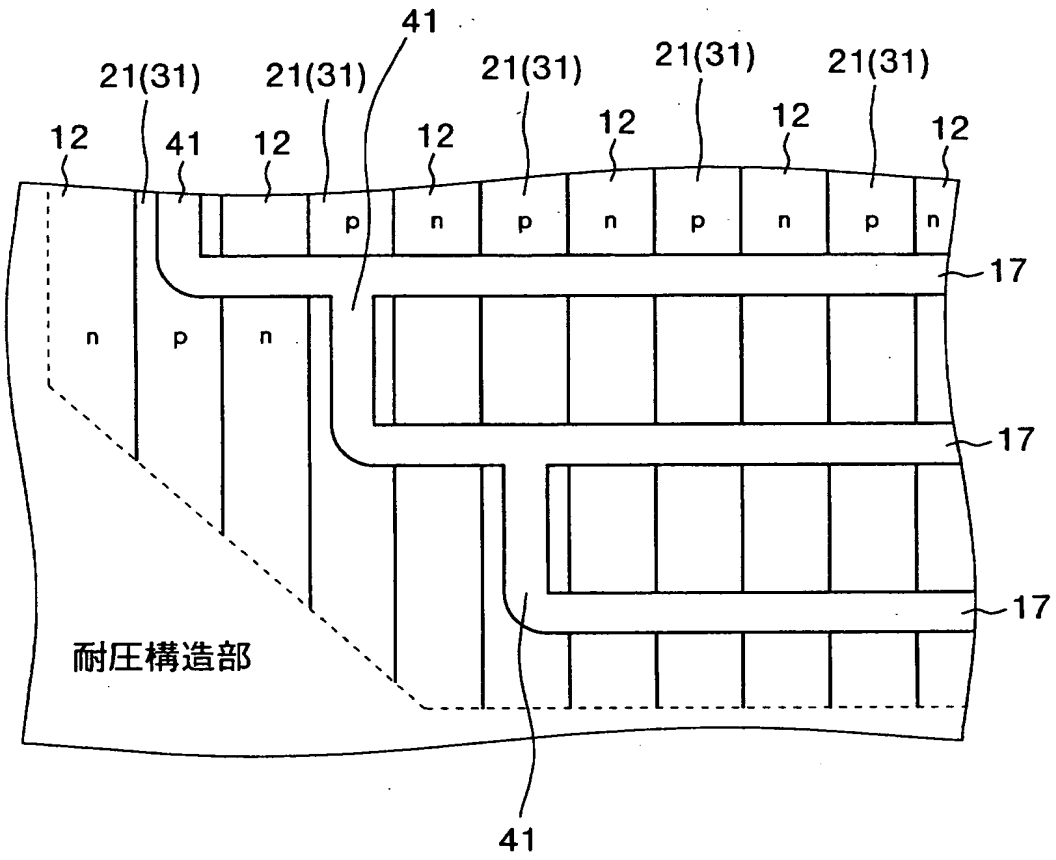
【図７】


15
41
16
耐圧構造部
活性部
n+
p
19
18
17
n
11
23 22
31 13 12 20 31 13 12 31 13 12
24
14

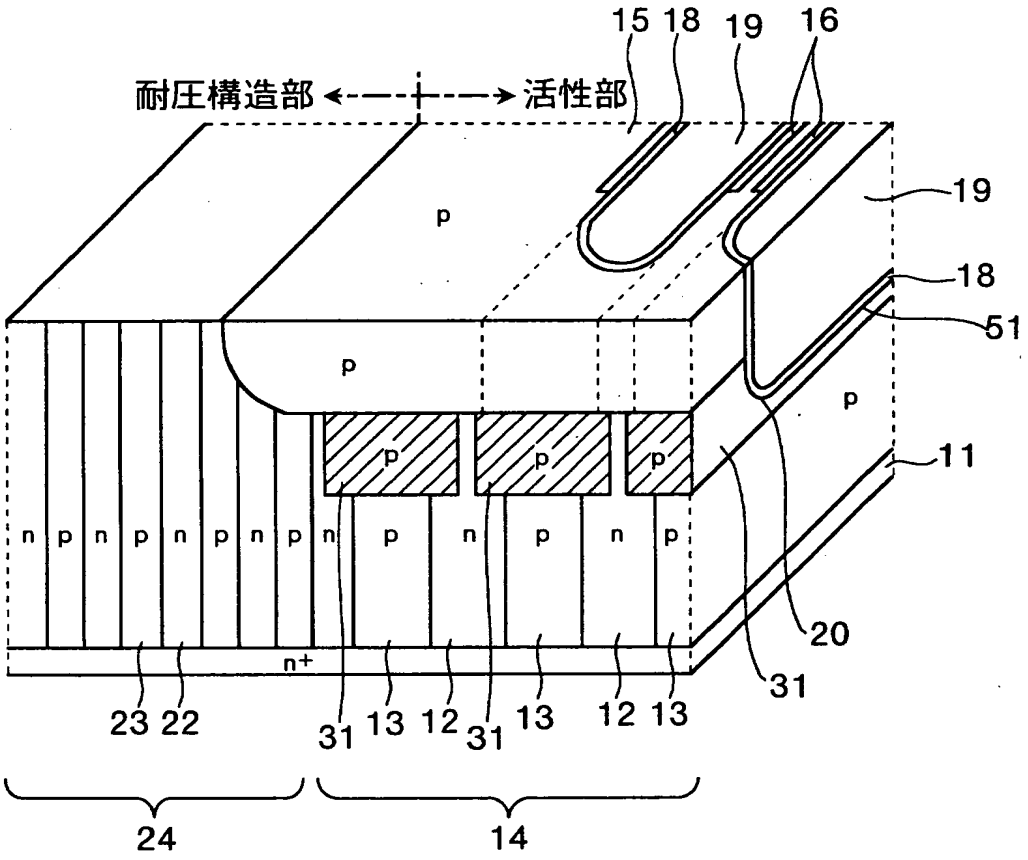
【図８】



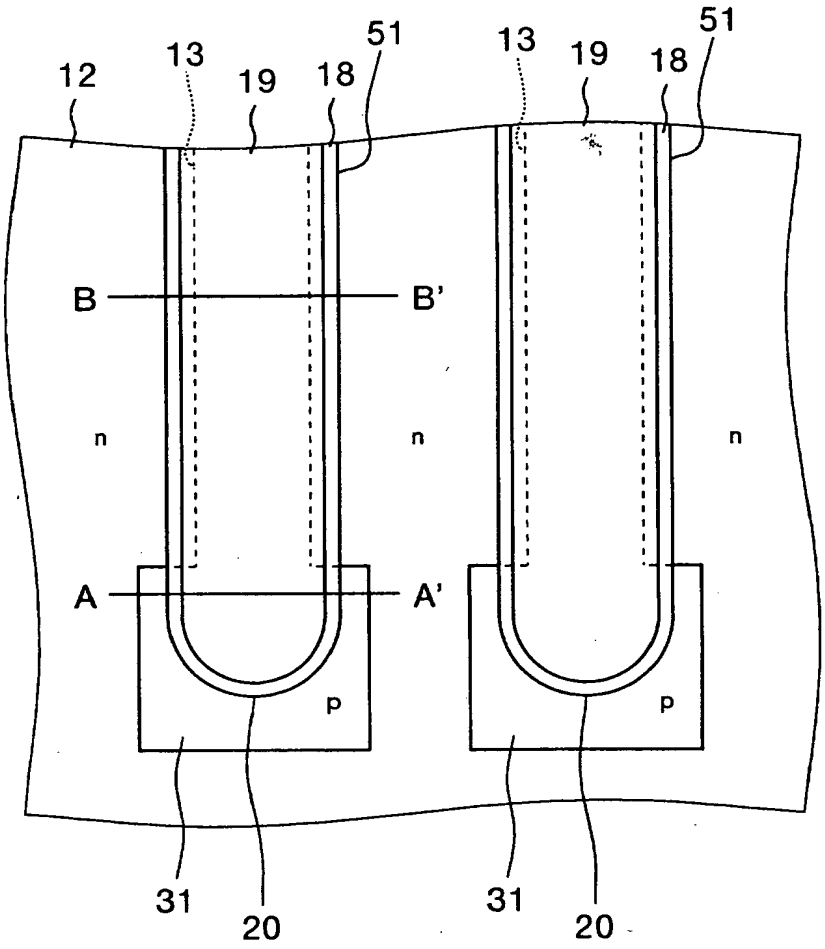
【図９】


41
21(31)
21(31)
21(31)
21(31)
21(31)
12
41
12
12
12
12
12
p
n
p
n
p
n
p
n
17
n
p
n
17
17
耐圧構造部
41

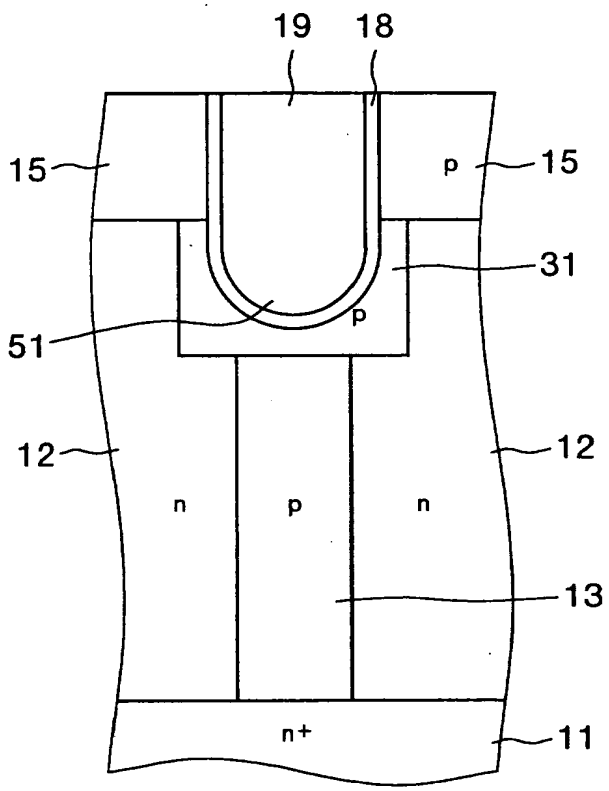
【図１０】


15
18
19
16
耐圧構造部
活性部
19
18
51
11
20
31
p
n
n+
23
22
31
13
12
31
13
12
13
24
14

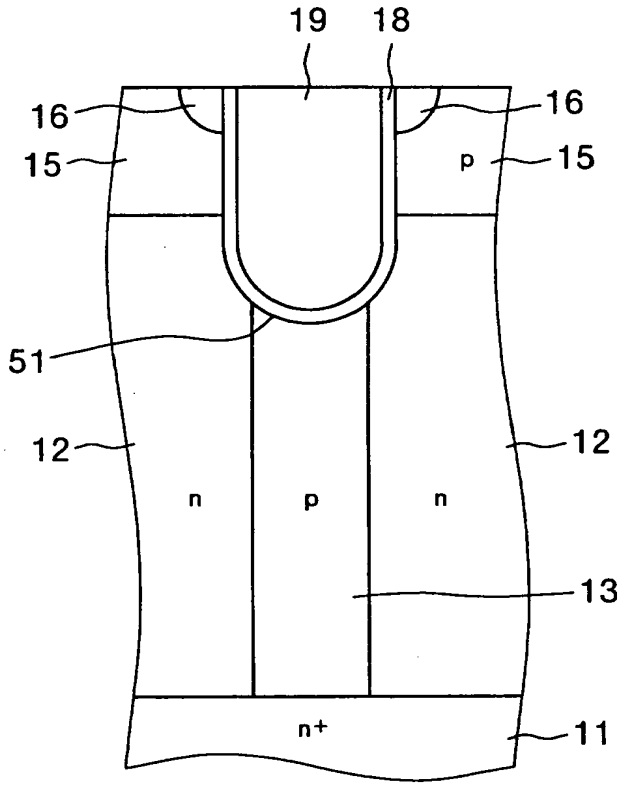
【図１１】



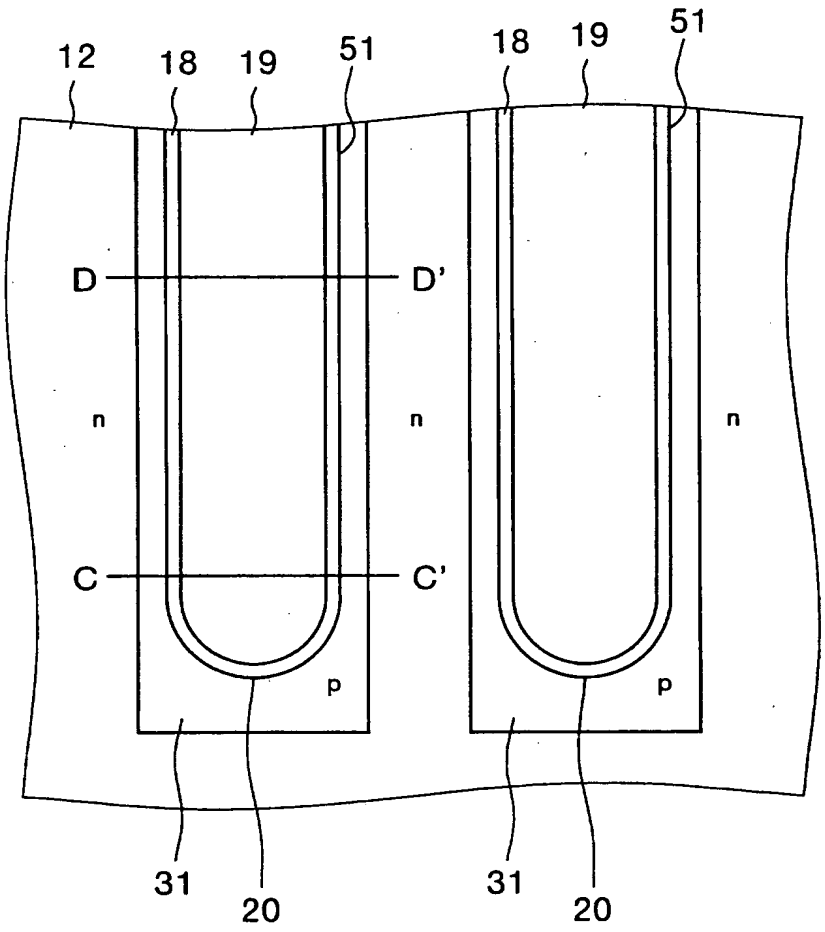
【図１２】



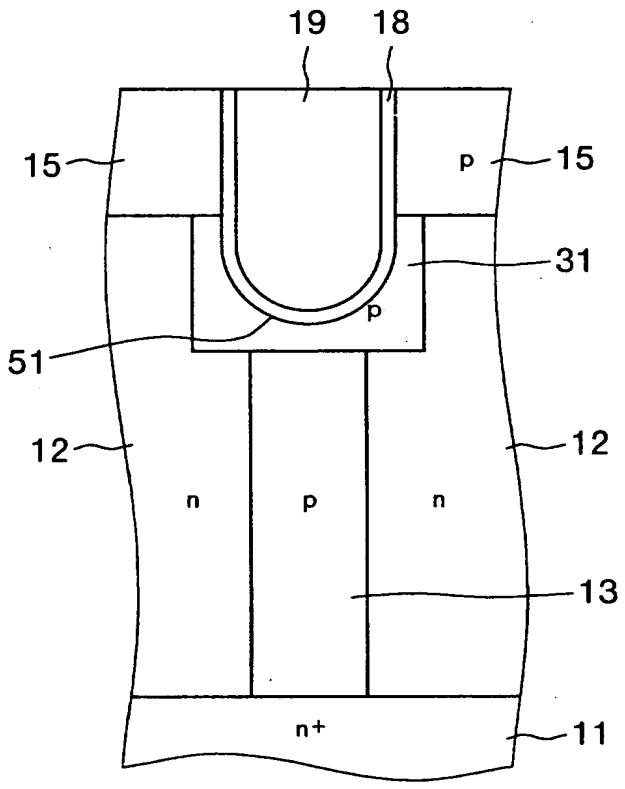
【図１３】



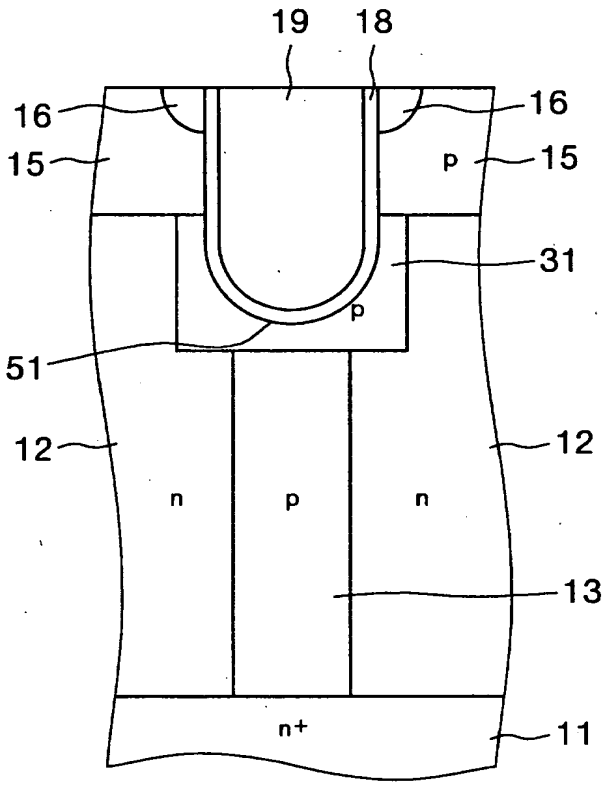
【図１４】



【図１５】



【図１６】



【書類名】　　要約書

【要約】

【課題】　トレンチ型の超接合半導体素子において、耐圧の低下を抑制するとともに、ゲート絶縁膜の信頼性を高めること。

【解決手段】　深さ方向に延びるｎドリフト領域１２およびｐ仕切り領域１３とを交互に繰り返し接合してなる並列ｐｎ接合層１４の、ｐ仕切り領域１３にトレンチ終端部の３次元曲面形状部分２０を形成する。そして、ｐ仕切り領域１３の、トレンチ終端部の３次元曲面形状部分２０を囲む部分を、その下側の部分よりも不純物濃度が高いp^+領域２１とし、電界がp^+領域２１とｎドリフト領域１２との境界で強くなるようにして、トレンチ終端部の３次元曲面形状部分２０への電界集中を緩和する。また、ｐ仕切り領域１３の、トレンチ終端部の３次元曲面形状部分２０を囲む部分を、その下側の部分よりも幅が広くなるようにしてもよい。

【選択図】　　図１

出　願　人　履　歴　情　報

識別番号　　〔０００００５２３４〕

１．変更年月日　　１９９０年　９月　５日
［変更理由］　新規登録
住　所　　神奈川県川崎市川崎区田辺新田１番１号
氏　名　　富士電機株式会社